

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-061944

(43)Date of publication of application : 08.03.1989

(51)Int.Cl.

H01L 27/14

H01L 27/15

H01L 29/80

H01L 31/10

H01S 3/18

(21)Application number : 62-220634

(71)Applicant : NEC CORP

(22)Date of filing : 02.09.1987

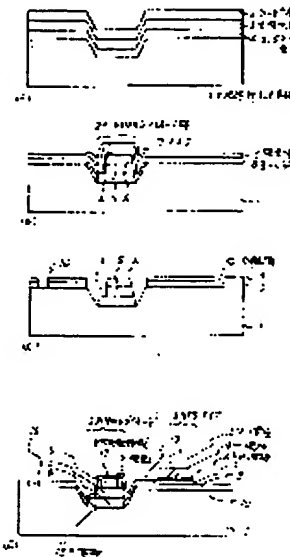
(72)Inventor : TERAKADO TOMOJI

(54) MANUFACTURE OF OPTOELECTRONIC INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To improve the performance and reliability of a transistor, by forming isolation grooves which reach an InP substrate between adjacent photoelectron integrated circuits.

CONSTITUTION: A growth contact layer 4, a photoabsorption layer 5, and a window layer 6 are formed in order on a semiinsulating InP substrate 1 having stepped parts. The contact layer 4, the photoabsorption layer 5, and the window 6 are treated by mesalike etching to expose the semi-insulating InP substrate 1, leaving a PIN photodiode part 2A as is without etching. Then a mask 7 is arranged for the PIN photodiode part 2A to form a strain buffer layer 8 and an active layer 9. Subsequently, in addition to removing the active layer 9 and the strain buffer layer 8 on the PIN photodiode part 2A, the active layer 9 on the semi-insulating InP substrate 1 as well as a part of the strain buffer layer 8 is removed so as to separate circuits and lessen stresses and then isolation grooves 10 are formed. In this way, the formation of the isolation grooves 10 serves the purpose of not only decreasing the stresses in a wafer and preventing the development of transposition but also forming highly efficient and reliable transistors.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑫ 公開特許公報(A)

昭64-61944

⑤ Int.Cl.⁴

H 01 L 27/14
27/15
29/80
31/10
H 01 S 3/18

識別記号

庁内整理番号

8122-5F
7733-5F
E-8122-5F
M-7733-5F
7377-5F

④ 公開 昭和64年(1989)3月8日

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 光電子集積回路の製造方法

⑦ 特 願 昭62-220634

⑧ 出 願 昭62(1987)9月2日

⑨ 発 明 者 寺 門 知 二 東京都港区芝5丁目33番1号 日本電気株式会社内

⑩ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑪ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

光電子集積回路の製造方法

2. 特許請求の範囲

InP系半導体からなる光デバイス素子とGaAs系半導体からなる電界効果トランジスタとを半絶縁性InP基板上に形成する光電子集積回路の製造方法において、隣接する光電子集積回路間に前記InP基板に連する分離溝を形成する工程を有することを特徴とする光電子集積回路の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、光電子集積回路の製造方法に関する。

〔従来の技術〕

光通信技術の進歩に伴い、その適用分野は基幹伝送系から加入者系、LAN、データ・リンク等のシステムへ急速に拡がりつつある。

このような光システムの高度化に対応する為には、光デバイスの高性能化、多機能化が不可欠である。

光電子集積回路はこれらの光システムの核となるキー・デバイスの一つである。すなわち、低価格、小型、高信頼、無調整化といった集積による基本的利点の他、光配線、光交換といった将来の光システムを支える高機能、新機能デバイスの実現をねらいとしている。

InP系材料は光デバイスの信頼性や光ファイバの低損失、低分散波長帯への整合性の点ですぐれており、光通信の分野においては、この材料を用いた光デバイスは実用化され、実用がある。

一方、InP系半導体の電子デバイスにおいて、MES-FET、MIS-FET、JFET、HBT等のトランジスタの研究開発がすすめられている。しかしながら、MES-FETには、良好なショットキーゲートが得られないという問題、MIS-FETには界面単位に起因する大きな電流ドリフトの問題、JFET、HBTには構造やプロセスが複雑で

あり、光デバイスとの集積に問題があり、高性能多機能なInP系光電子集積回路を開発する上で障害となっていた。

これらの問題を解決する方法として、電子デバイスとしてGaAs系材料を用いた方法が提案されている(寺門他、特願昭62-072053号公報)。その一例を第3図に示す。

この方法は、半絶縁性InP基板1上に分子線ビームエピタキシー(MBE)法による亜ヘテロエピタキシーを用いてGaAsを成長し、GaAsからなる電子デバイス(MES-FET)3とInGaAs又はInGaAsPからなる光デバイスであるPINホトダイオード2をモノリシックに集積するものである。InP系にくらべて高度なプロセスと回路技術が既に確立されているGaAs系IC技術を、InP系光電子集積回路に応用出来ることにおいて優れている。

〔発明が解決しようとする問題点〕

しかしながら、この従来例においては、半絶縁性InP基板1上に亜ヘテロエピタキシーにより、

法であって、隣接する光電子集積回路間に前記InP基板に達する分離溝を形成する工程を有するものである。

〔作用〕

隣接する光電子集積回路を半絶縁性InP基板までいたる分離溝で分離することにより、基板とチャネル層間に生じるストレスを低減することが可能となる。このストレスの低減によって、製造工程中の転位の発生が抑えられ、InP基板上に形成したGaAs系電界効果トランジスタは、電子デバイスとして必要十分な性能と信頼性が得られる。従って、高性能、高信頼な光電子集積回路が実現できる。

〔実施例〕

次に図面を参照して本発明の実施例を詳細に説明する。

第1図(a)~(d)は、本発明の一実施例を説明するための工程順に示した半導体チップの断面図である。

まず、第1図(a)に示すように、3 μ m程度の段

InPとの間に約3.7 μ mという大きな格子不整を有するGaAsを成長して亜バッファ層8、チャネル層9を形成し電界効果トランジスタを作製している。このため、InPよりなる基板とGaAsよりなるチャネル層間に大きなストレスが生じ、このストレスが原因となり、製造工程中のわずかな衝撃で、チャネル層9に転位・欠陥が生じ、素子特性の劣下をまねいていた。特にチップ分離工程における衝撃による素子の劣化は著しいものであった。その結果として、光電子集積回路として十分な素子特性が得られなければならず、信頼性にも欠けるといった欠点を有していた。

本発明の目的は、これらの欠点を除去し、性能及び信頼性の高い光電子集積回路の製造方法を提供することにある。

〔問題を解決するための手段〕

本発明の光電子集積回路の製造方法は、InP系半導体からなる光デバイス素子とGaAs系半導体からなる電界効果トランジスタとを半絶縁性InP基板上に形成する光電子集積回路の製造方

法を持つ半絶縁性InP基板1上に液相又は気相成長法によりn型In_{0.57}Ga_{0.43}As_{0.29}P_{0.71}よりなるコンタクト層4(厚さ1 μ m、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$)、n型In_{0.57}Ga_{0.43}Asよりなる光吸収層5(厚さ1 μ m、キャリア濃度 $2 \times 10^{18} \text{ cm}^{-3}$)、n型InPよりなるウィンドウ層6(厚さ1 μ m、キャリア濃度 $2 \times 10^{18} \text{ cm}^{-3}$)を順次形成する。

次に第1図(b)に示すように、PINホトダイオード部2Aを残し、コンタクト層4、光吸収層5、ウィンドウ層6をメサエッチングし、半絶縁性InP基板1を露出させる。次にPINホトダイオード部2AにSiO₂よりなるマスク7を施し、気相成長法、又は分子線成長法を用いて、GaAsよりなる亜バッファ層8(厚さ0.5 μ m、ノンドープ)、n型GaAsよりなる能動層9(厚さ0.2 μ m、キャリア濃度 $1 \times 10^{17} \text{ cm}^{-3}$)を形成する。

次に第1図(c)に示すように、PINホトダイオード部2A上の能動層9、亜バッファ層8を除去すると共に、回路分離及びストレス低減のため半

絶縁性InP基板1上の能動層9、亜バッファ層8の一部を除去し分離溝10を形成する。

以下第1図(d)に示すように、従来と同様の工程により能動層9のみをエッチングし、MES-FET3のメサ11を形成する。次にSiO₂よりなるマスクを用い選択亜鉛拡散を行ない、P形反転領域12を形成し、更にAuGeNiよりなるソース電極13、ドレイン電極14、PINホトダイオード2のn電極15及びAnZnよりなるP電極16、Alよりなるゲート電極18、Ti/Alよりなる配線17を形成し、本実施例の光電子集積回路を完成させる。この光電子集積回路は、分離溝10で1チップごとに分離され、装置に組み込まれる。

このように分離溝10を形成することにより、ウエハ中のストレスが低減され、転位の発生を防止でき、高性能、高信頼なトランジスタが製造可能となる。

尚、上述の実施例においては、MES-FET3のゲート電極がAlの場合について説明したがAlに限らずショットキー接合がとれればいかなるも

のでも良い。又、能動層の厚さ、キャリア濃度組成は光電子集積回路用電子デバイスとして最適化されていけばいかなるものであっても良い。さらにAlGaAs混晶を含むヘテロ構造の二次元電子ガスを利用する構造であってもよい。また、光デバイスは半導体レーザ、発光ダイオード、アバランシェ・ホトダイオード、さらには光不安定素子や光アンプ、光スイッチなどの光機能素子であってもよい。電子回路もGaAs電界効果トランジスタのみならず、ダイオード、抵抗を含んでもよく、その集積回路規模もさらに大きなものであってもよい。

【発明の効果】

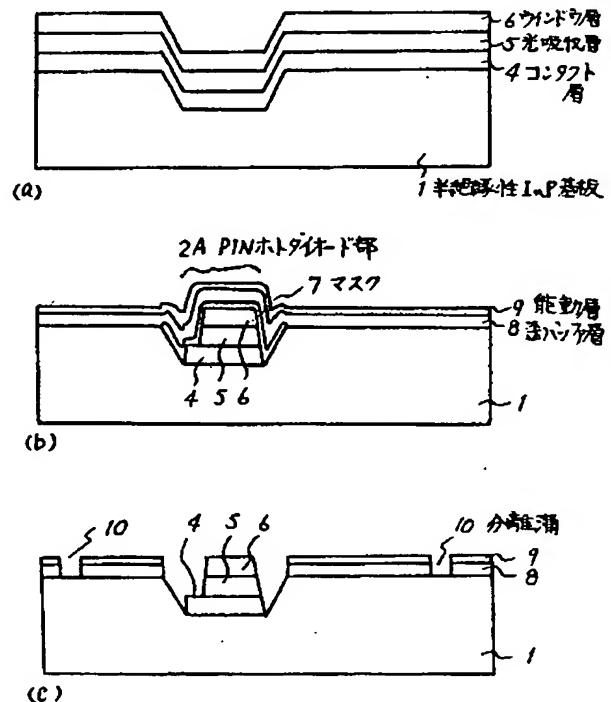
以上説明したように、本発明によれば、半絶縁性InP基板上にInP系半導体よりなる光デバイスと、GaAs系半導体から成る電界効果トランジスタを集積した光電子集積回路を製造するにあたり、InP基板までいたる分離溝で各回路を分離することにより性能及び信頼性の高い光電子集積回路が得られる。

4. 図面の簡単な説明

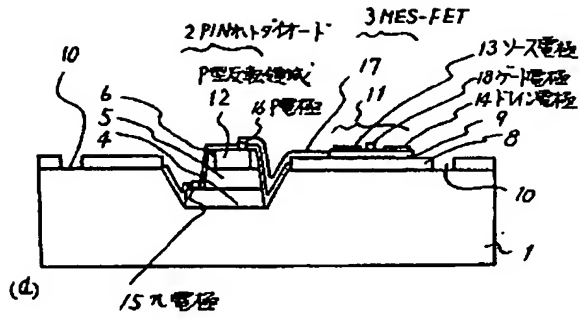
第1図(a)~(d)は本発明の一実施例を説明するための半導体チップの断面図、第2図は従来の半導体装置を説明するための断面図である。

1……半絶縁性InP基板、2……PINホトダイオード、2A……PINホトダイオード部、3……MES-FET、4……コンタクト層、5……光吸収層、6……ウィンドウ層、7……マスク、8……亜バッファ層、9……能動層、10……分離溝、11……メサ、12……P形反転領域、13……ソース電極、14……ドレイン電極、15……n電極、16……P電極、17……配線、18……ゲート電極。

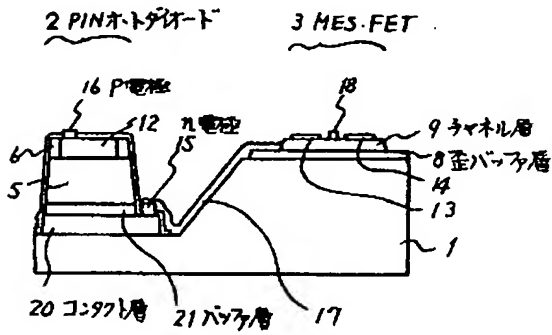
代理人 弁理士 内 原 晋



第 1 図



第 1 図



第 2 図